

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242052

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

H01L 21/20

H01L 29/786

H01L 21/336

(21)Application number : 09-048229

(71)Applicant : SANYO ELECTRIC CO LTD
SONY CORP

(22)Date of filing : 03.03.1997

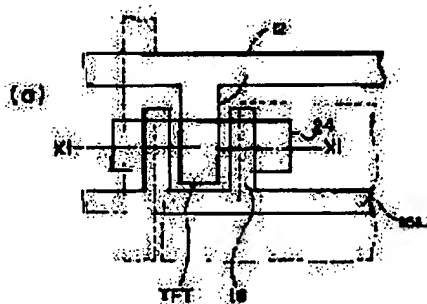
(72)Inventor : WAKITA MASARU
OGATA HIDEKANE

(54) POLYCRYSTALLINE SILICON THIN FILM TRANSISTOR

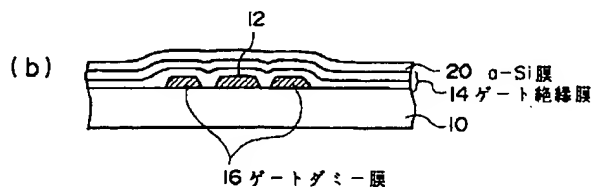
(57)Abstract:

PROBLEM TO BE SOLVED: To form uniform p-Si (polycrystalline silicon) by making a-Si (amorphous silicon) above a gate electrode polycrystalline.

SOLUTION: Above a gate electrode 12 formed on a substrate 10, an a-Si film 20 is formed across the gate electrode 12 via a gate insulating film 14, and then subjected to annealing for polycrystallization (ELA or RTA). In a region adjacent to the gate electrode 12, gate dummy films 16 are previously formed by the same process as the gate electrode 12. The heat capacity of a-Si above the gate electrode 12 and that of a-Si above the gate dummy films 16 become nearly equal. Thereby uniform p-Si can be formed in a channel of a TFT(thin film transistor) and its peripheral region. When a gate aperture part or a protruding part is formed in the gate electrode 12, or it is made a bent strip pattern, uniform p-Si can be formed on a gate forming region.



(11)特許出願公開番号



【特許請求の範囲】

【請求項1】 基板上にパターンニングされたゲート電極と、
前記ゲート電極の近接領域に形成され、前記ゲート電極と同程度の熱容量を有する材料膜と、を有し、
前記ゲート電極及び前記材料膜の上方に非晶質シリコン膜を形成し、この非晶質シリコン膜をアニール処理によって多結晶化し、得られた多結晶シリコン膜を薄膜トランジスタの能動層に用いることを特徴とする多結晶シリコン薄膜トランジスタ。

【請求項2】 請求項1に記載の多結晶シリコン薄膜トランジスタにおいて前記ゲート電極の近接領域に形成された材料膜には、前記多結晶シリコン薄膜トランジスタを備える装置の所定の共通電位又は接地電位を印加することを特徴とする多結晶シリコン薄膜トランジスタ。

【請求項3】 多結晶シリコン薄膜トランジスタにおいて、
基板上にパターンニングされたゲート電極の上方に非晶質シリコン膜を形成し、この非晶質シリコン膜をアニール処理によって多結晶化し、得られた多結晶シリコン膜を薄膜トランジスタの能動層に用いる多結晶シリコン薄膜トランジスタであり、
前記ゲート電極は、前記非晶質シリコン膜に覆われる領域内に、突出部若しくはゲート開口部のいずれか又は両方が設けられていることを特徴とする多結晶シリコン薄膜トランジスタ。

【請求項4】 多結晶シリコン薄膜トランジスタにおいて、
基板上にパターンニングされたゲート電極の上方に非晶質シリコン膜を形成し、この非晶質シリコン膜をアニール処理によって多結晶化し、得られた多結晶シリコン膜を薄膜トランジスタの能動層に用いる多結晶シリコン薄膜トランジスタであり、
前記ゲート電極は、前記非晶質シリコン膜に覆われる領域において、屈曲帯状パターンを有することを特徴とする多結晶シリコン薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶ディスプレイ等のマトリクス型表示装置の薄膜トランジスタ（TFT: Thin Film Transistor）などの各種トランジスタに係り、特に、非晶質シリコン膜を多結晶化して得た多結晶シリコン膜をトランジスタの能動層として用いたTFTの構成に関する。

【0002】

【従来の技術】 近年、表示装置として高精細、高画質な表示が求められており、液晶ディスプレイではそのために液晶駆動用のスイッチング素子として薄膜トランジスタを利用したアクティブマトリクス方式の液晶ディスプレイ（以下、AMLCD: Active Matrix Liquid Cryst

al Displayという）が用いられている。

【0003】 TFTを用いたAMLCDにおいては、薄膜トランジスタの能動層、つまりチャネル領域として、非晶質シリコン（以下、a-Siという）を用いる非晶質シリコンTFTと、多結晶シリコン（以下、p-Siという）を用いる多結晶シリコンTFTが知られている。

【0004】 このうち、非晶質シリコンTFTは、a-Si膜が低温（例えば、300度）で成膜できるため、融点の低い安価なガラス基板上に形成することが容易であり、また広い面積範囲に均質なa-Si膜を形成することが容易なことから、パネルの大型化に有利であり、現在のところ大型のLCDに多く用いられている。

【0005】 一方の多結晶シリコンTFTは、a-Si膜に比較してp-Si膜の移動度が高く、TFTとした場合にオン電流が大きくシート抵抗（オン抵抗）が低い等、応答性や駆動能力に優れている。よって、高精細・高画質なLCDのスイッチング素子として有用視されている。また、大型化に伴って選択期間（デューティ比）が低くなることから、大型LCD用の液晶駆動用素子としてもその有用性が指摘されている。また、多結晶シリコンTFTは、p-Si膜を能動層として用いているため、画素部の液晶駆動用素子としてだけでなく、駆動回路の論理回路を構成するスイッチング素子としても利用でき、更に、これら液晶駆動用素子及び論理回路の素子を同一工程で同一基板上に形成することも可能である。このため、現在、多結晶シリコンTFTは、画素部と駆動部とを同一基板上に形成したいいわゆるドライバ内蔵型LCDとして、例えば高精細、高画質、そして小型であることが要求される中、小型のLCDに多く利用されている。

【0006】 多結晶シリコンTFTは、以上のようにLCDの高精細・高画質化、またドライバ内蔵とすることによりパネル周辺の省スペース化、軽量化が図られることからディスプレイの大型化においても有用である。そこで、大型化を達成するために非晶質シリコンTFTと同様に、多結晶シリコンTFTを融点（600度程度）の低い安価なガラス基板上に高い歩留まりで形成することが要求されている。しかし、現在のところ、ガラス基板の融点（600度程度）以下の温度で、適切なグレインサイズを有するp-Si膜を形成することは困難である。このため、最初にa-Si膜を基板上に形成し、その後、レーザアニールを用いてa-Si膜を多結晶化させることにより、比較的低温でp-Si膜を形成する方法が採用されている。

【0007】 例えば、図8に示すようなLCD用のボトムゲート構造の多結晶シリコンTFTの製造にあたっては、ガラス基板上に形成されたa-Si膜にエキシマレーザを照射してa-Si膜を加熱し、これを多結晶化するレーザアニール方法が知られている。

【0008】ボトムゲート構造の多結晶シリコンTFTの製造では、まず、ガラス基板10上にCr膜を形成してこれを所定の形状にパターンニングし、図8(a)に示すようにゲート配線と一体のゲート電極12を作成する。次に、図8(b)に示すように、2層構造のゲート絶縁膜14と、a-Si膜をプラズマCVD(PE-CVD: Plasma Enhanced Chemical Vapor Deposition)によって連続形成する。

【0009】そして、形成したa-Si膜20にエキシマレーザを照射してa-Si膜20をアニール(ELA: Excimer Laser Annealing)し、これによってa-Siを多結晶化して、p-Si膜22を得る。このときの雰囲気温度は、通常300度程度である。

【0010】多結晶化によりp-Si膜22を形成した後、p-Si膜22の上であって、チャネル領域44を形成すべき領域(ゲート電極12と対向する領域)に、SiO₂からなる注入ストップ膜30を形成する(図8(d)参照)。次に、この注入ストップ膜30をマスクとして、TFTのソース・ドレイン領域に相当する領域に、図中の上方より不純物(例えば、リン)をドーピングする。なお、図8(d)に示すTFTは、LDD(Lightly Doped Drain)構造であり、図中の領域42L、42LDがそれぞれ低濃度(N-)ソース・ドレイン領域であり、領域40S、40Dが高濃度領域(N+)となっている。

【0011】不純物ドーパ後、ランプアニールによる短時間熱アニール処理(RTA: Rapid Thermal Annealing)を施し、ドーパされた不純物を活性化し、これによりp-Si膜22内にソース・ドレイン領域、チャネル領域を形成する。その後、層間絶縁膜50、52を形成すると共に、ソース領域40Sにはソース電極(ソース配線を兼用することが多い)70を接続し、ドレイン領域40Dには、LCDの画素部のTFTの場合、画素電極60として透明導電膜であるITO(IndiumTin Oxide)を接続し、LCDの一方の基板を得る。なお、図8(d)に示すTFTの平面配置は、例えば、図9に示すような配置になっている(但し、図5は、ソース電極70、画素電極60形成前の状態を表している)。

【0012】

【発明が解決しようとする課題】以上のように、従来、ボトムゲート構造の多結晶シリコンTFTにおいては、a-Si膜20をエキシマレーザアニール処理によって多結晶化しp-Si膜22を得ている。

【0013】このようなa-Siの多結晶化は、供給される熱量、つまりエネルギー量に依存するため、a-Si膜に与える熱量、つまりエキシマレーザの面内エネルギーを均一に制御することが、均質なp-Si膜22を形成する上で重要である。

【0014】しかしながら、a-Si膜への照射面内におけるエネルギーの均一性が悪く、均質なp-Siを形

成することが困難である。

【0015】このようなエネルギーの不均一性が起こる最大の原因は、ボトムゲート構造のTFTでは、多結晶化すべきa-Si膜20の一部が、図8または図9に示すように熱伝導性の高いゲート電極12の上方を覆うように、つまりゲート電極12を跨ぐように形成されていることによる。即ち、ゲート電極12を構成する金属材料(例えばCr)は、周辺のガラス基板10等よりも高い熱伝導率を有しており、a-Si膜20にエキシマレーザを照射すると、a-Si膜20のうち下層にゲート電極12が存在する領域では、エキシマレーザによる熱がゲート電極12及びゲート配線に沿って他のガラス基板領域よりも速く拡散してしまうのである。

【0016】例えば、図10に示すように、ゲート電極12のない領域22Subでは、a-Si膜20が適切なグレインサイズのp-Siになるものの、同じアニール条件下で、ゲート電極12の存在する領域22Gのa-Si膜20の多結晶化は不十分であり、適切なグレインサイズのp-Siにはならない。このことは、ELAのエネルギーとp-Siのグレインサイズとの関係を示す図11からも明らかである。つまり、図11に示すように、領域(ドレイン・ソース領域)22subのグレインサイズが適正值になるようにELAエネルギーを設定した場合(Es)、領域(チャネル領域)22Gのグレインサイズは許容下限($\phi 150\text{nm}$)ぎりぎり又はそれ以下にしかならない。

【0017】また、p-Si膜22のゲート電極上方領域22GがTFTのチャネル領域を構成することから、この領域22Gの多結晶のグレインサイズが十分大きくなるように、レーザアニールの条件を制御することも考えられる。しかし、この場合も図11に示されているように、ゲート電極の上方領域22Gのグレインサイズが適切になるようにELAエネルギーを設定すると(Eg)、ガラス基板上の領域22Subに対してELAエネルギーの過供給となり、グレインサイズがかえって小さくなって、グレインサイズの許容下限を下回ってしまうこととなる。従って、アニール条件をチャネル領域の多結晶化に合わせたとしても、均質かつ適正なグレインサイズのp-Si膜を形成することはできなかった。

【0018】更に、上述のような面内で不均一なグレインサイズのp-Si膜22を用いてTFTを構成した場合、各TFTの特性(例えばグレインサイズに依存するオン電流、シート抵抗)のバラツキが大きくなる。よって、LCDの画素部のTFTとして用いた場合、表示にムラが発生することとなり、LCDの表示品質に悪影響を与える原因になってしまうという問題がある。

【0019】本発明は、このような課題を解決するためになされたものであり、a-Siを多結晶化して均質なp-Siを形成することを目的とする。また、さらに、このようなp-Si膜を利用して特性の優れた薄膜トラ

ンジスタを提供することを目的とする。

【0020】

【課題を解決するための手段】本発明は、上記目的を解決するためになされ、以下のような特徴を備える。

【0021】まず、この発明は、多結晶シリコン薄膜トランジスタにおいて、基板上にパターニングされたゲート電極と、前記ゲート電極の近接領域に形成された前記ゲート電極と同程度の熱容量を有する材料膜と、を有し、前記ゲート電極及び前記材料膜の上方に非晶質シリコン膜を形成し、この非晶質シリコン膜をアニール処理によって多結晶化し、得られた多結晶シリコン膜を薄膜トランジスタの能動層に用いたものである。

【0022】また、上記構成において、この発明は、前記ゲート電極の近接領域に形成された材料膜には、前記多結晶シリコン薄膜トランジスタを備える装置の所定の共通電位又は接地電位を印加する。

【0023】更に、この発明は、基板上にパターニングされたゲート電極の上方に非晶質シリコン膜を形成し、この非晶質シリコン膜をアニール処理によって多結晶化し、得られた多結晶シリコン膜を薄膜トランジスタの能動層に用いる多結晶シリコン薄膜トランジスタであり、前記ゲート電極には、前記非晶質シリコン膜に覆われる領域内に、突出部若しくはゲート開口部のいずれか又はその両方が設けられているものである。

【0024】また、基板上にパターニングされたゲート電極の上方に非晶質シリコン膜を形成し、この非晶質シリコン膜をアニール処理によって多結晶化し、得られた多結晶シリコン膜を薄膜トランジスタの能動層に用いる多結晶シリコン薄膜トランジスタであり、前記ゲート電極が、少なくとも前記非晶質シリコン膜に覆われる領域において屈曲帯状パターンを有するものである。

【0025】

【発明の実施の形態】以下、本発明の好適な実施の形態（以下、実施形態という）について図面を用いて説明する。なお、以下の説明において、既に説明した図面と同一部分には同一符号を付して説明を省略する。

【0026】実施形態1. 本実施形態1に係る多結晶シリコン薄膜TFTは、LCDの液晶駆動用等に利用されているTFTであり、ゲート電極よりも上方にTFTのチャネル領域、ソース・ドレイン領域が形成されるボトムゲート構造を有している。そして、ゲート電極の上方に形成されるチャネル領域において、本実施形態1ではゲート電極の近接領域に、ゲート電極と同一の熱容量を有する材料膜としてゲートダミー膜を形成している。

【0027】ゲートダミー膜は、ゲート電極に近接配置されており、後述するように、上方に形成されるa-Siの多結晶化アニール処理にあたって、ゲート電極上方領域と、ゲートダミー膜上方領域とのa-Siアニール条件を等しくして均一なp-Siを得るために設けられている。

【0028】図1は、TFTのゲート配線と一体のゲート電極（以下、単にゲート電極という）12と、その周囲に設けられたゲートダミー膜16の平面及び断面状態を示している。なお、図1(a)が平面構造を示し、図1(b)が図1(a)のX1-X1線に沿った断面構造を示している。また、図2及び図3は、本実施形態1の多結晶シリコンTFTの製造工程を示している。

【0029】ゲート電極12は、熱伝導性の高いCr(W、Ta、TaMoでも良い)が用いられており、ゲートダミー膜16は、図2(a)に示すように、ゲート電極12をガラス基板10上にパターニングする際に同時に形成する。

【0030】ゲート電極12及びゲートダミー膜16形成後、これらの表面を含む基板10の全面に2層構造のゲート絶縁膜14(SiN、SiO₂)及びa-Si膜20をPECVDにより連続形成する(図1(b)、図2(b)参照)。

【0031】次に、図2(c)に示すように、a-Si膜20にELAによる多結晶化アニール処理を施し、a-Si膜20を多結晶化してp-Si膜24を形成する。本実施形態1は、ゲート電極12及びゲートダミー膜16の熱伝導率（つまり、熱容量）が等しいことから、これらの上方に形成されたa-Si領域では膜温度が同程度となり、多結晶化が同じような条件で進行することとなる。このため、TFTのチャネル領域及びその近辺領域（例えば、LDDTFTのLD(Lightly Doped)領域）において均質なグレインサイズを有するp-Si膜24が得られることとなる。

【0032】多結晶化アニール処理として、上述のようにエキシマレーザを用いたELAを利用すれば、低温（300度程度）でのアニールが可能であることから、容易に、融点の低い安価なガラス基板10に結晶成長によるp-Si膜を形成することができる。

【0033】また、ELAによる多結晶化アニールの場合、上述のように下層に熱伝導率の高い電極材料膜の存在するa-Si領域では、電極材料膜の熱伝導によりガラス基板の領域よりも速く熱が拡散する。そこで、これらゲート電極及びゲートダミー膜の形成領域におけるa-Siの多結晶化の速度に合わせてアニール条件を設定する。本実施形態1では、TFTのチャネル領域及びその周辺に対応する領域に、ゲート電極と、これに近接してゲートダミー膜とが配置されている。よって、これらの領域の多結晶化条件に合うようにELA条件を設定すれば、多結晶シリコンTFTの特性を維持する上で重要なチャネル領域及びその周辺に、均質で適切なp-Siを形成することが可能となる。なお、図11に示したELAエネルギーとグレインサイズとの関係を考慮すると、TFTのソース・ドレイン領域36S、36D(図3、図4参照)のグレインサイズは大きくならないが、これらの領域には、後述するように不純物が高濃度にド

ーピングされることから、十分シート抵抗が低くなり、グレインサイズが小さくともTFTの特性にはほとんど影響を与えることはない。

【0034】また、多結晶化アニールとしては、ハロゲンランプ等を用いたRTAも適用可能である。RTAにより多結晶化アニールを行う場合には、下方に不透明材料が存在する領域、つまり本実施形態1においては、ゲート電極とゲートダミー膜の形成された領域のa-Si領域の多結晶化速度に合わせてランプパワーなどのアニール条件を設定する。

【0035】なお、RTAのランプ光に対しては、ELAとは反対に、不透明材料であるゲート電極材料の方がランプ光の吸収率が高く、ガラス基板よりも熱容量が大きいといえる。このため、ゲート電極及びゲートダミー膜を不透明な導電材料（例えば、Cr）より形成した場合、これらの上方のa-Si領域、つまりTFTのチャネル領域とその周辺のLD領域等が優先的に多結晶化することとなる。従って、RTAを用いて多結晶化を行う場合には、ランプパワー又は処理雰囲気温度をそれほど高く設定しなくても、必要な領域、つまり、TFTのチャネル領域及びその周辺のa-Siを効率的に多結晶化することができ、特性の優れた多結晶シリコンTFTが得られる。また、RTAによっても融点の低い安価なガラス基板上に多結晶シリコンTFTを形成することが容易となる。

【0036】以上のような多結晶化アニール処理によってa-Si膜20の多結晶化処理が終了すると、次には、裏面露光と表面露光を併用したフォトリソグラフィ工程を利用して、ゲート電極12上のみフォトレジストを形成する。そして、これをマスクにエッチングすることにより、図2(d)に示すように、p-Si膜24上のゲート電極12と対向する位置に、SiO₂からなる注入ストップ膜30を形成する。注入ストップ膜30は、裏面露光によりそのエッジがゲート電極12のエッジに一致するように形成されているとともに、表面露光により、ゲートダミー膜16上には残存しないようにされている。

【0037】その後、形成された注入ストップ膜30をマスクとして、p-Si膜24に不純物（P又はB）をドーピングし、注入ストップ膜30の直下領域（チャネル領域）34を除く領域に低濃度（例えば、N⁻）の不純物ドーパ領域を形成する。続いてLDD構造のTFTのLD領域を形成するために、チャネル領域及びLD領域とすべき領域をマスクで覆い、低濃度ドーパの場合と同じ伝導型の不純物をp-Si膜24に高濃度ドーピングする。これによりマスクで覆われたLD領域の外側に高濃度ドーパ領域（例えばN⁺）が形成される。

【0038】低濃度及び高濃度の不純物ドーピング後、図3に示すように、ドーパした不純物を活性化するためにELAによる活性化アニール処理を行う（但し、EL

A又はRTAのいずれを利用してよい）。そして、このアニール処理によって、TFTのLDソース・ドレイン領域32LS、32LDと、ソース・ドレイン領域36S、36Dがそれぞれ形成される。なお、この活性化アニールにおけるアニール温度は、ELAの場合、p-Si膜24の膜温度が900度程度となるように設定され（但し、雰囲気温度は300度程度）、RTAの場合には、雰囲気温度（加熱域温度）が600度程度となるように設定される。

【0039】不純物活性化後、p-Si膜24を所望の形状にパターニングし、図4に示されるように、SiO₂、SiNを積層して層間絶縁膜50を形成し、この層間絶縁膜50のソース領域36Sの位置にコンタクトホールを開く。そして、その上にA1などからなるソース電極70を形成し、ソース領域36Sと接続する。

【0040】図4に示すように、LCDの画素部における液晶駆動用TFTを形成する場合には、更にこれらの上層のアクリル樹脂を用いて平坦化膜52を形成し、平坦化膜52及び層間絶縁膜50にコンタクトホールを開き、その上に画素電極となるITO60を形成し、ITO60とドレイン領域36Dとを接続する。

【0041】以上のようにして、LCDパネルの画像表示部には、マトリクス状の画素毎に図4の如きTFTが形成され、LCDの一方の基板が得られる。この基板と、共通電極86及びカラーフィルタ82の形成された対向基板80とを貼り合わせ、間に液晶を封入することによりLCD装置が得られる。そして、各画素部TFTを用いて画素電極60の電位を制御することによって、液晶に所望の電圧が印加され表示が行われる。なお、図4においては、ソース領域36Sとソース電極70、ドレイン領域36DとITO60とを接続しているが、これには限られず、ソース領域36SをITO60に接続する場合もある。

【0042】ここで、TFT毎に配置される平面構成のゲートダミー膜16は、図1に示すように、例えば、ダミー配線16LによってLCDパネルの画素TFTの行方向に共通に接続される。行方向にそれぞれ設けられた複数のダミー配線16Lは、LCDパネルの端部において共通接続される。そして、これらのダミー配線16Lは図4に示す対向基板80側の共通電極86に接続して共通電極電位を印加する。或いは接地して接地電位としてもよい。このように、ゲートダミー配線16Lを介してゲートダミー膜16を所定の電位に制御することにより、TFTの誤動作を防ぐことができる。

【0043】なお、上述のような工程で得られたTFTを液晶駆動用ではなく、IC内の各種メモリ素子や論理回路素子又は液晶表示装置の駆動回路の論理回路の素子として用いる場合には、ITO60は不要である。この場合には、ソース電極70の形成と同時に、同様な手法でドレイン電極を形成し、ドレイン領域36Dと接続す

る。また、ソース・ドレイン電極の形成後においては、それぞれ対応するソース・ドレイン配線に接続する。但し、電極と配線とを一体的に形成する場合には、ソース・ドレイン電極の形成と同時に必要な配線パターンを形成する。

【0044】なお、本実施形態の多結晶シリコンTFTを利用して表示装置の駆動回路等の素子として、例えばCMOS (Complementary Metal Oxide Semiconductor) を形成する場合には、nチャネル (n-ch) TFTとpチャネル (p-ch) TFTを形成する。具体的には、n型不純物を先にドーピングする場合、p-ch TFTの形成領域をマスク材で覆っておき、n型不純物ドーピング後、p-ch TFTを覆うマスク材を剥離し、反対にn-ch TFT領域をマスクし、この状態でp型の不純物をドーピングする。n型及びp型の不純物ドーピング終了後には、n-ch TFT、p-ch TFTとも同時に活性化処理を行ってTFTを作成する。

【0045】実施形態2. 実施形態1では、ゲート電極12の周囲に独立してゲートダミー膜16を形成している。これに対して本実施形態2では、a-Si膜に覆われる領域におけるゲート電極12の形状を変更してこの領域内での熱容量を高くかつ平均化することにより、a-Siの多結晶化にあたり、チャネル領域及びその周辺の領域において均一なp-Si膜を形成する。

【0046】図5、図6及び図7は、ゲート形成領域における熱容量を平均化するためのゲート電極の形状例を示している。

【0047】図5に示す例では、TFTのゲート電極18のパターン内にゲート電極材料の存在しない領域、つまりゲート開口部18aが形成されている。なお、図5において、図5(a)は、LCD画素部における画素毎のTFTの平面構造、図5(b)は、図5(a)のX2-X2線に沿った断面構造を示している。

【0048】図5のゲート開口部18aは、基板10上にゲート電極18を形成する際に同時にパターニングして形成することができ、特別な工程の追加なしに形成できる。図5の例では、ゲート電極18の面積が、例えば図1のゲート電極12と同程度になるように設定しているので、ゲート電極18のパターン幅は、ゲート開口部18aの面積分だけ減少している。このため、ゲート電極18の熱伝導率は、ゲート電極12よりも低くなる。よって、図5のようなゲート開口部18aを備えたゲート電極18の上方にゲート絶縁膜14を介してa-Si膜を形成し、これを例えばELAによって多結晶化すると、熱伝導率が低くなった分熱容量が大きくなり、ゲート電極18上方領域のa-Siのアニール時の膜温度を高くすることができる。

【0049】また、ゲート電極18の熱伝導率の低下に加え、上方がa-Si膜に覆われる領域内、つまりゲート形成領域19内に熱伝導率の低いゲート開口部18a

が存在することからこの形成領域19内における熱容量が全体として高くなる。よって、この点からも形成領域19の上方のa-Si膜のアニール膜温度を高くすることができ、TFTのチャネル領域となる部分のa-Siの多結晶化を促進させることが可能となる。

【0050】なお、より均一なp-Siを形成する観点から、ゲート形成領域19内における熱容量の平面方向での偏りを小さくするために、ゲート開口部18aをゲート形成領域19内に複数個設けることが好ましい(図5の例では3つ)。

【0051】次に、図6に示す例では、まず、図5と同様、ゲート電極21の形成面積は例えば図1のゲート電極12と同程度に設定する。更に、ゲート電極21に櫛歯形状の複数の突出部21aを所定間隔で形成し、その分ゲート電極幅を狭くしている。このような形状とすることにより、図5と同様に、ゲート電極21の熱伝導率が低下する。突出部間隙21bにはゲート電極材料が存在しないので、突出部間隙21bでの熱容量は高く、ゲート形成領域19内での熱容量が全体として高くなり、この領域内でのa-Siの多結晶化が効率的にかつ均一に進むこととなる。なお、ゲート電極21の図中左右に延びる櫛歯状の突出部21aの位置関係は、図6(a)のように左右対称な配置には限られず、図6(b)のように左右非対称としてもよい。また、図6に示すようなパターンのゲート電極21に、更に図5のようなゲート開口部を設けてもよい。

【0052】図7に示すゲート電極の形状例では、ゲート電極23を幅の狭い帯状電極とし、この帯状のゲート電極23を複数回屈曲させた形状としている。このように電極幅を狭く、また屈曲させた形状としてゲート電極材料の存在しない領域をゲート形成領域内に設けることによって、上述の図5及び図6と同様、ゲート電極23の熱伝導率が低くなり、またゲート形成領域19内の熱容量が全体として上昇する。従って、図7に示すようなゲート電極パターンによっても、その上方に形成されるa-Si膜に対して多結晶化アニールを施すことにより、迅速にかつ均一にこれを多結晶化することが可能となる。

【0053】なお、本実施形態2においても実施形態1と同様に、多結晶化アニールとしてELAだけでなく、RTAを採用することが可能である。

【0054】

【発明の効果】本発明では、上述のようにボトムゲート構造の多結晶シリコンTFTにおいて、基板上に形成されたゲート電極と同程度の熱容量を有する材料膜をゲート電極に近接配置し、ゲート電極及びこの材料膜の上方にa-Si膜を形成し、これを多結晶化する。従って、多結晶化アニールに際して、アニール条件、つまり、a-Si膜の膜温度をゲート電極の上方領域と材料膜の上方領域とで同程度にすることができ、広い範囲に均一な

p-Si膜を形成することができる。更に、この材料膜に所定の共通電位又は接地電位を印加して、その電位を制御すれば、TFTの動作へ悪影響を与えることを防止することが可能となる。

【0055】また、ゲート電極の形成領域に電極材料の存在しないゲート開口部を設けたり、ゲート電極に突出部を設けたり、或いはゲート電極を帯状屈曲形状とすれば、これらの構成によって、ゲート形成領域内における熱容量を均一化することができる。従って、ゲート電極形成領域上に均一なp-Siを形成することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施形態1に係るボトムゲート構造の多結晶シリコンTFTの構成を示す図である。

【図2】 本発明の実施形態1に係る多結晶シリコンTFTの製造工程を示す図である。

【図3】 本発明の実施形態1に係る多結晶シリコンTFTの製造工程を示す図である。

【図4】 本発明の実施形態1に係る多結晶シリコンTFTをLCD画素部のTFTとして用いた場合の構成を示す図である。

【図5】 本発明の実施形態2に係る多結晶シリコンTFTの構成を示す図である。

【図6】 本発明の実施形態2に係る多結晶シリコンTFTの構成を示す図である。

【図7】 本発明の実施形態2に係る多結晶シリコンTFTの構成を示す図である。

【図8】 ボトムゲート構造の多結晶シリコンTFTの従来の製造工程を示す図である。

【図9】 ボトムゲート構造の液晶駆動用TFTの平面構成を説明する図である。

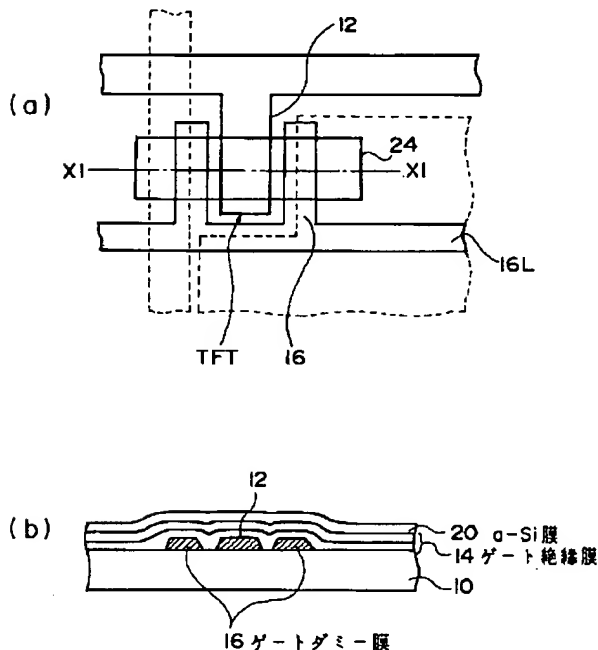
【図10】 従来の多結晶化方法によって得られたp-Si膜の多結晶化状態を示す図である。

【図11】 ELAエネルギーとp-Siのグレインサイズとの関係を示す図である。

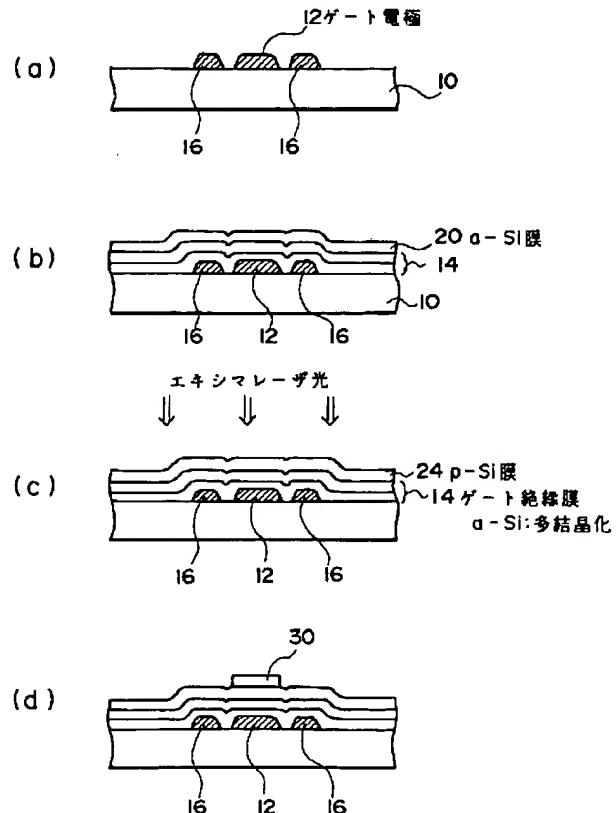
【符号の説明】

10 基板、12, 18, 21, 23 ゲート電極、14 ゲート絶縁膜、18b 開口部、19 ゲート形成領域、20 a-Si膜、21a 突出部、21b 突出部間隙、24 p-Si膜、30 注入ストッパ膜、34 チャネル領域、36S ソース領域、36D ドレイン領域、60 ITO。

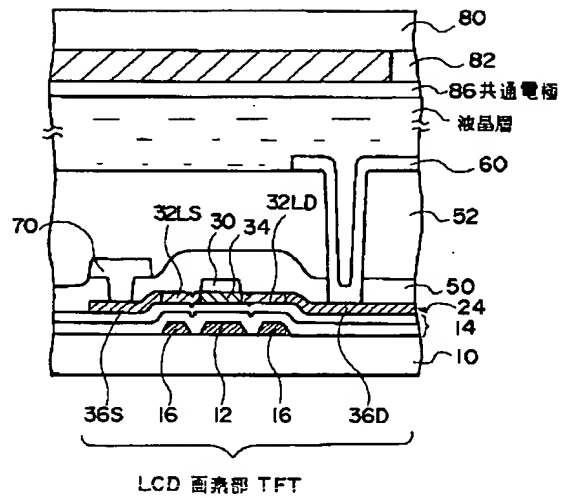
【図1】



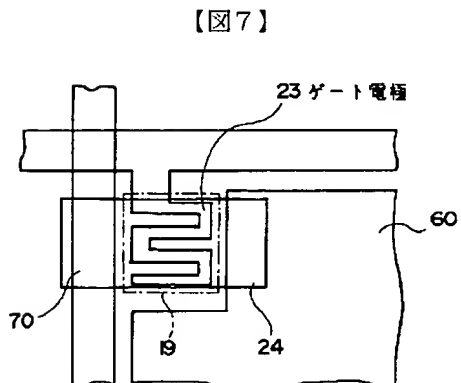
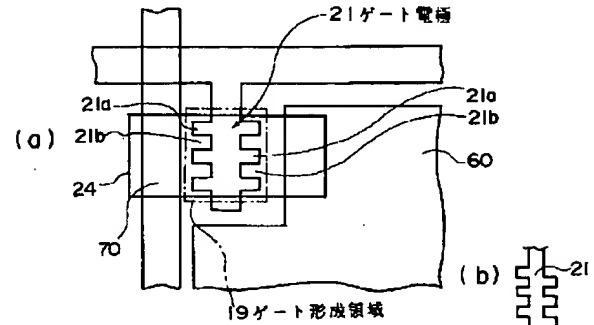
【図2】



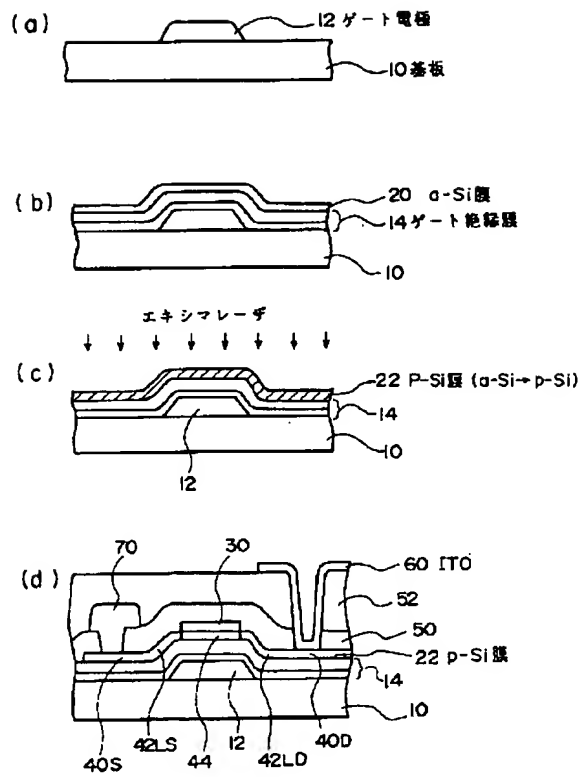
【図4】



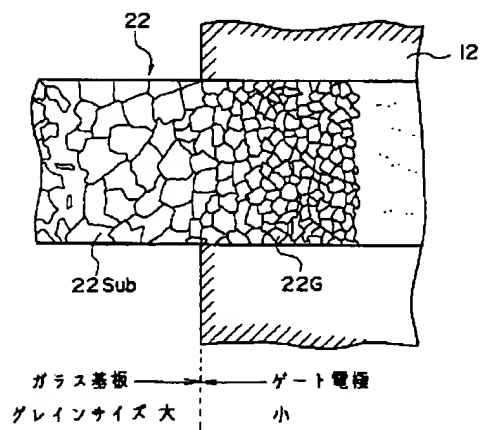
【図6】



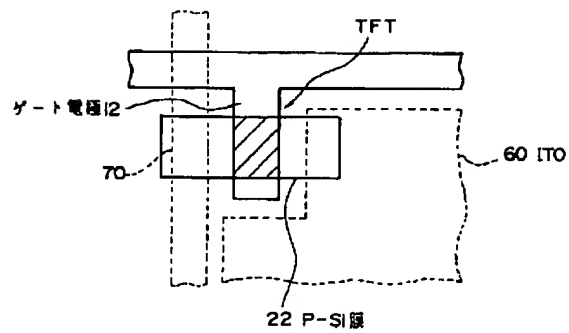
【図8】



【図10】



【図9】



【図11】

